

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2002-093900

(43)Date of publication of application : 29.03.2002

(51)Int.CI.

H01L 21/76

H01L 21/28

H01L 21/762

H01L 21/3205

(21)Application number : 2000-278326

(71)Applicant : SHARP CORP

(22)Date of filing : 13.09.2000

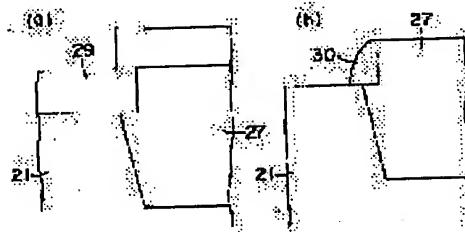
(72)Inventor : TANIGUCHI ARIHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent defects in removing a deposited film in a post process.

SOLUTION: An oxide film and a silicon nitride film are formed on a silicon substrate 21. With a patterned silicon nitride film as a mask, a trench groove is formed at the silicon substrate 21, which is filled with a filling oxide film 27, and which is planarized until the silicon nitride film is exposed. Then the silicon nitride film and the oxide film are removed, and a sidewall oxide film 30 is formed at the step of the embedded oxide film 27 which has appeared. Thus, a step appearing at a border, to an element region, as the thickness of the embedded oxide film 27 reduces following a post wet-type oxide film removal becomes shorter, becoming a gentle arc-like protruding step, and swelling outwardly. Thus, no defective removal occurs at the protruding step, when polycrystal silicon is deposited and a unwanted part is removed in a post process, preventing an electrical short between wirings.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

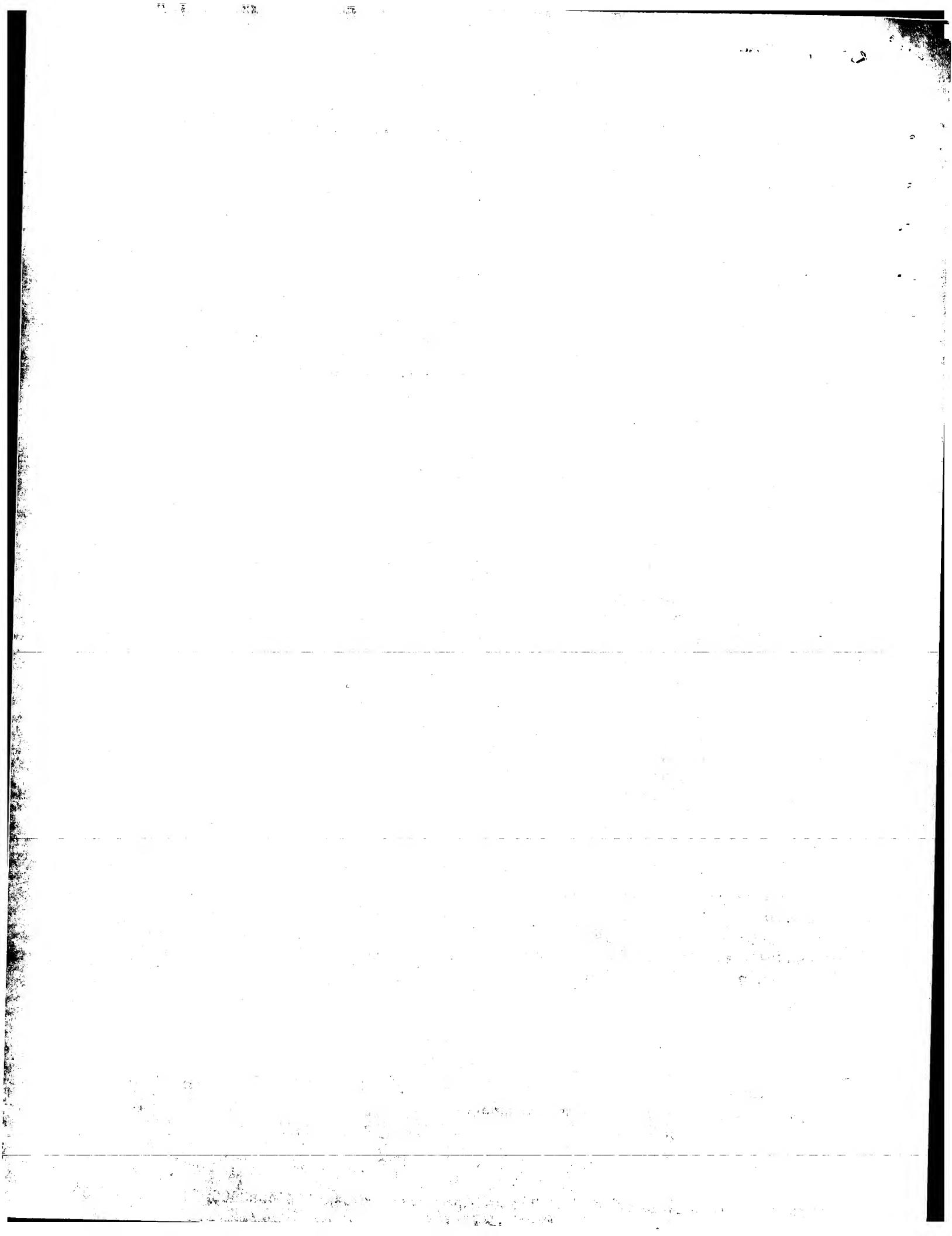
[Date of final disposal for application]

[Patent number]

[Date of registration]

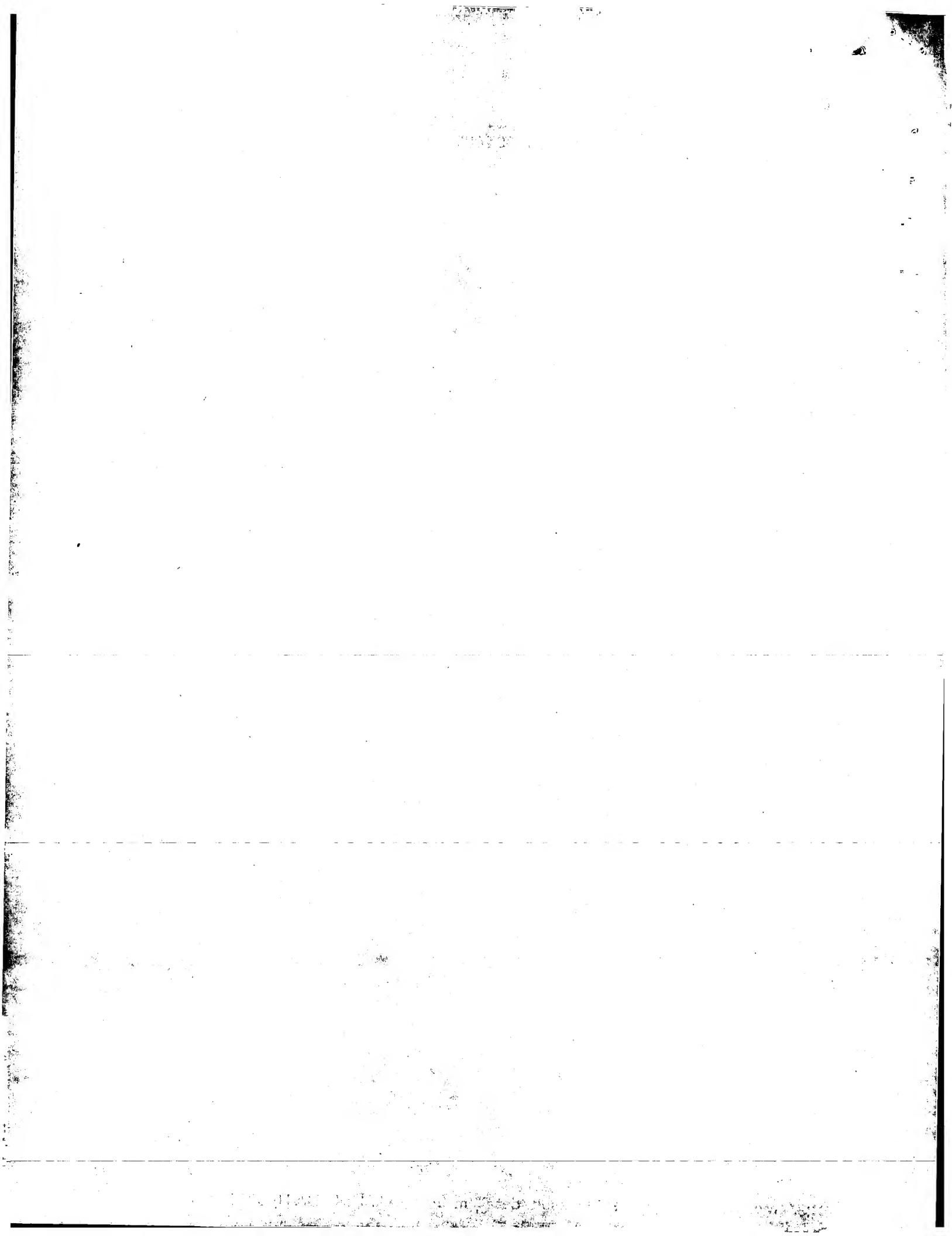
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office



(2)

類似技術

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-93900

(P2002-93900A)

(43)公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl.
 H 01 L 21/76
 21/28
 21/762
 21/3205

識別記号

F I
 H 01 L 21/28
 21/76
 21/88

テマコト(参考)
 Z 4 M 1 0 4
 L 5 F 0 3 2
 D 5 F 0 3 3
 K

審査請求 未請求 請求項の数7 OL (全8頁)

(21)出願番号 特願2000-278326(P2000-278326)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(22)出願日 平成12年9月13日 (2000.9.13)

(72)発明者 谷口 有弘

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

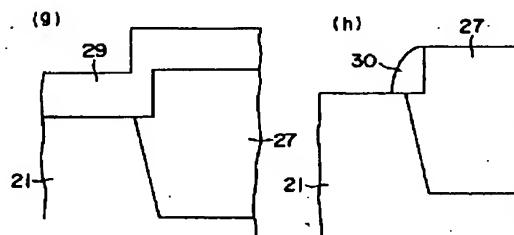
(74)代理人 100062144

弁理士 青山 葵 (外1名)

(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【要約】

【課題】 後工程での堆積膜除去不良を防止する。
 【解決手段】 シリコン基板21上に酸化膜およびシリコン窒化膜を形成する。そして、バーニングされたシリコン窒化膜をマスクにしてシリコン基板21にトレンドチ溝を形成し、埋め込み酸化膜27で埋め込み、シリコン窒化膜が露出するまで平坦化する。その後、シリコン窒化膜及び酸化膜を除去し、生じた埋め込み酸化膜27の段差にサイドウォール状酸化膜30を形成する。こうして、後の湿式酸化膜除去に伴って埋め込み酸化膜27の膜厚が減少する際に素子領域との境界に生ずる段差を、低く且つ外側に膨らんで緩やかに円弧を描く凸部段差にする。したがって、後工程で多結晶シリコンを堆積して不要部分を除去する際に凸部段差に除去不良は発生せず、配線間における電気的短絡を防止できる。



【特許請求の範囲】

【請求項1】 半導体基板の表面に素子分離絶縁膜を埋め込んで成る素子分離領域と、この素子分離領域によって互いに分離された島状の素子領域を有する半導体装置において、

上記素子分離絶縁膜は、

上記半導体基板の表面に形成された素子分離溝内に埋め込まれた埋め込み絶縁膜と、

この埋め込み絶縁膜における上記素子領域との境界線より内側に形成された段差の側壁から上記素子領域に亘ってサイドウォール状に形成されると共に、上記埋め込み絶縁膜と同じ材質で形成された絶縁膜とで構成されていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、上記素子領域上に、上記素子分離領域に掛けて導電膜が形成されていることを特徴とする半導体装置。

【請求項3】 請求項2に記載の半導体装置において、上記導電膜は、ゲート電極であることを特徴とする半導体装置。

【請求項4】 請求項1乃至請求項3の何れか1つに記載の半導体装置において、

上記素子分離絶縁膜は、シリコン酸化膜であることを特徴とする半導体装置。

【請求項5】 半導体基板上に第1の絶縁膜を形成する工程と、

上記第1の絶縁膜上に素子分離溝形成用のマスクパターンを形成する工程と、

上記マスクパターンをマスクとして上記半導体基板をエッチングして上記半導体基板の表面に素子分離溝を形成し、島状に複数の素子領域を残す工程と、

第2の絶縁膜で上記素子分離溝を埋め込むことによって、上記第2の絶縁膜を素子分離絶縁膜として素子分離領域を形成する工程と、

上記第1の絶縁膜およびマスクパターンを除去する工程と、

全面に、上記第2の絶縁膜と同じ材質の第3の絶縁膜を堆積する工程と、

上記第3の絶縁膜をエッチバック除去することによって、上記第1の絶縁膜およびマスクパターンの除去によって上記第2の絶縁膜に形成された段差の側壁から上記素子領域に亘って、上記第3の絶縁膜をサイドウォール状に残置する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項6】 請求項5に記載の半導体装置の製造方法において、

上記マスクパターンをシリコン窒化膜で形成することを特徴とする半導体装置の製造方法。

【請求項7】 請求項5あるいは請求項6に記載の半導体装置の製造方法において、

第2の絶縁膜で上記素子分離溝を埋め込んで素子分離領

域を形成する工程は、全面に上記第2の絶縁膜を堆積する工程と、上記マスクパターンが露出するまで化学機械研磨法によって上記第2の絶縁膜を平坦化する工程で成ることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、溝型素子分離(STI: Shallow Trench Isolation)を用いた半導体装置、および、その製造方法に関する。

【0002】

【従来の技術】昨今のコンピューターを始めとする電子機器の進歩に伴って、多数のトランジスタ等の電気回路を集積した大規模集積回路(LSI)が多様化されている。これら電子機器の性能は、LSIの性能によるところが大きく、LSIの性能は内蔵される各電気素子の微細化や高集積化により実現される。

【0003】従来より、各電気素子間の電気的分離(素子分離)に、局所酸化法の一つであるLOCOS(Local Oxidation of Silicon: 選択酸化)分離法が多く用いられている。しかしながら、上記LOCOS分離法は、バーズピークと呼ばれる酸化膜の横方向への広がりが生じて素子領域の面積を減少させてしまうことと、狭い分離幅の場合には分離酸化膜の膜厚が薄くなることのため、高集積化に対しては有効な手段であるとは言えない。

【0004】そこで、近年においては、基板表面に浅いトレンチを形成し、このトレンチに絶縁膜を充填することによって素子分離を行うSTI法が多く用いられるようになってきている。本STI法を用いた場合、LOCOS分離法に見られる様なバーズピークによる素子領域の減少や、狭い分離幅での酸化膜厚の減少等を抑えることが可能となり、高集積化に対して有効な手段となる。

【0005】しかしながら、現状のSTI形成プロセスにおいては、下記に示すような問題がある。以下、STIを用いたMOS(金属酸化膜半導体)トランジスタの形成を例に上げて上記問題について説明する。図5は、STIを用いたMOSトランジスタ形成プロセスにおける素子断面図を示す。

【0006】先ず、図5(a)に示すように、シリコン基板1上に熱酸化膜2を形成し、熱酸化膜2上にシリコン窒化膜3を形成した後、シリコン窒化膜3上にレジストパターン4を形成する。次に、図5(b)に示すように、レジストパターン4をマスクとして、シリコン窒化膜3および熱酸化膜2を異方性エッチングし、レジストパターン4のパターンをシリコン窒化膜3および熱酸化膜2に転写する。その後、レジストパターン4は除去する。この場合、エッチング後にレジストパターンが消失しても、以降の工程においては、シリコン窒化膜3によって下地への転写は可能となる。

【0007】次に、図5(c)に示すように、上記シリコン窒化膜3をマスクとしてシリコン基板1に対して異方

性エッチングを行い、シリコン基板1の表面に浅いトレンチ5を形成して島状に複数の素子領域を残す。尚、その際に於ける上記異方性エッチングとしては、例えば反応性イオンエッチング(Reactive Ion Etching: RIE)を用いる。次に、熱酸化を行うことによって、シリコン基板1上のトレンチ5の側壁上および底部に熱酸化膜6を形成する。

【0008】次に、図5(d)に示すように、全面にトレンチ埋め込み用の酸化膜7を堆積してトレンチ5を埋め込んだ後、図5(e)に示すように、酸化膜7を化学機械研磨(Chemical-Mechanical polishing: CMP)法を用いて平坦化する。以後、シリコン塗化膜3および熱酸化膜2を除去する。以降、複数の工程での酸化膜除去によって、素子分離領域の埋め込み酸化膜7の膜厚は減少(具体的な工程は省略)していく。そして、その後、素子領域におけるシリコン基板1の表面に、ゲート酸化膜(図示せず)を形成する。この後は、一般的なトランジスタの製造方法に準ずる。

【0009】この方法においては、図5(c)において説明したごとく、上記トレンチ5の側壁に熱酸化膜6が形成される。その場合、図6に示すように、平面方向へのシリコン基板1の素子領域が減少する。別の言い方をすれば、シリコン塗化膜3の端部の位置よりもトレンチ5の壁面の上端位置が水平方向へ後退することになる。この状態で、上述したようにCMPによる平坦化およびシリコン塗化膜3の除去を行った後の断面形状は、図7に示すように、素子分離領域と素子領域との境界領域Aにおいて、埋め込み酸化膜7とシリコン基板1との高さが同一となり、境界領域Aから離れた素子分離領域内に埋め込み酸化膜7の段差8が生ずることになる。

【0010】一般的なMOSトランジスタの形成工程においては、この後に複数回の湿式エッチングによる酸化膜除去工程が存在し、それに伴って素子分離領域上の埋め込み酸化膜7の膜厚が減少する。その場合、上記酸化膜除去は等方的に行われるため、図8に示すように、素子分離領域9における素子領域10との境界部分が内側に窪んで落ち込み、素子領域10と素子分離領域9との境界に凹部段差11が生じてしまう。このような場合、図9に示すように、ゲート電極として多結晶シリコン12等の導電膜を全面に形成し、更に不要な個所の導電膜を異方性エッチングによって除去した場合、上記導電膜の除去残渣物13が生じてしまうことがあり、その残渣物13が、ゲート電極を含む配線間の電気的短絡の原因の一つとなる。

【0011】その対策として、特開平11-87490号公報においては、平坦化の後に、シリコン塗化膜を堆積して除去することによって、上記埋め込み酸化膜の段差にサイドウォール形状のシリコン塗化膜を形成し、上記素子領域と素子分離領域との境界に埋め込み酸化膜の凹部段差の発生を抑制している。

【0012】

【発明が解決しようとする課題】しかしながら、上記従来の特開平11-87490号公報に開示された埋め込み酸化膜の凹部段差の抑制方法には、以下のような問題がある。すなわち、上記埋め込み酸化膜の段差に形成されたサイドウォール状シリコン塗化膜は、後工程の酸化膜除去によって、埋め込み酸化膜厚が減少する際に除去されないため、サイドウォール状シリコン塗化膜のみがシリコン基板上に残置されてしまうことになる。その際に、残置されたシリコン塗化膜は、下記の問題の原因となる。

① 配線としての多結晶シリコンを堆積する際に、シリコン塗化膜の残置物上で盛り上がりが発生し、平面性が損なわれてしまう。

② 同様に、多結晶シリコンを堆積した際に、シリコン塗化膜の残置物の個所で局所的に体積膜厚が減少し、電気抵抗増大の原因となる。

③ 上記多結晶シリコンを堆積した後、エッチバックを行なう際に、サイドウォール状の除去残りを生じる可能性がある。

【0013】尚、上記特開平9-17852号公報には、トレンチ周辺に生ずるポリシリコン等の導電材料の残りによって発生する電気的ショート不良を改善する方法が述べられている。この方法は、トレンチ内部にポリシリコン等をデポさせて、トレンチの側面のみにポリシリコン膜を形成した後、このポリシリコン膜やその他に残留しているポリシリコン膜を完全に酸化するものである。しかしながら、この方法では工程が複雑であり、実用的ではない。

【0014】また、図7に示すように上記素子分離領域の両端部に生ずる埋め込み酸化膜7の段差8は、図5(c)においてシリコン塗化膜3によって下地へ転写する際のパターンによっても異なるという問題もある。

【0015】図10において、(a)に示すように素子領域(シリコン塗化膜3の領域)が密集している個所と、(b)に示すように広い素子分離領域(埋め込み酸化膜7の領域)内に孤立した狭い素子領域が存在する個所とでは、平坦化後に埋め込み酸化膜7に生ずる段差が異なる。これは、図5(e)に示すCMP平坦化の際に、シリコン塗化膜3の単位時間当たりの除去量が埋め込み酸化膜7の除去量に比べて少ないためである。このことによって、素子領域が密集する個所(a)においては、単位時間当たりの除去量が少ないシリコン塗化膜3の影響を受けて周辺の素子分離領域における埋め込み酸化膜7の平坦化速度が遅くなる。結果として、広い素子分離領域内に孤立した狭い素子領域が存在する個所(b)と、段差8の高さに差が生ずるのである。具体的には、素子領域が密集している箇所(a)では素子分離領域の埋め込み酸化膜7の段差8は大きく、素子領域が孤立している箇所(b)では小さくなるのである。

【0016】上述したように、上記素子分離領域内における埋め込み酸化膜7の段差8は、後に凹部段差11となり、後工程で堆積された膜の除去不良を引き起こす原因となるという問題がある。また、この段差8、延いては凹部段差11は、素子領域と素子分離領域とのパターン形状によっても変化するという問題がある。

【0017】そこで、この発明の目的は、素子領域の密集、孤立に拘らず後工程での堆積膜除去不良を防止できる半導体装置、および、その半導体装置の製造方法を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するため、第1の発明は、半導体基板の表面上に素子分離絶縁膜を埋め込んで成る素子分離領域と、この素子分離領域によって互いに分離された島状の素子領域を有する半導体装置において、上記素子分離絶縁膜は、上記半導体基板の表面上に形成された素子分離溝内に埋め込まれた埋め込み絶縁膜と、この埋め込み絶縁膜における上記素子領域との境界より内側に形成された段差の側壁から上記素子領域に亘ってサイドウォール状に形成されると共に、上記埋め込み絶縁膜と同じ材質で形成された絶縁膜で構成されていることを特徴としている。

【0019】上記構成によれば、埋め込み絶縁膜における素子領域との境界線より内側に形成された段差の側壁から上記素子領域に亘って、サイドウォール状に上記埋め込み絶縁膜と同じ材質の絶縁膜が形成されている。そのため、後の工程において、湿式酸化膜除去に伴って上記埋め込み絶縁膜の膜厚が減少する際に素子領域と素子分離領域との境界に生ずる段差が、浅く、且つ、外側に膨らんで緩やかに円弧を描く凸部段差となる。したがって、導電性膜を堆積して不要部分を除去する際に上記凸部段差に除去不良は発生せず、配線間における電気的短絡が防止されるのである。

【0020】また、上記第1の発明の半導体装置は、上記素子領域上に、上記素子分離領域に掛けて導電膜が形成されていることが望ましい。

【0021】上記構成によれば、上記埋め込み絶縁膜とサイドウォール状の絶縁膜とは同じ材質で形成されており、湿式酸化膜除去に伴って上記埋め込み絶縁膜の膜厚が減少する際に上記サイドウォール状の絶縁膜も減少される。そのため、上記半導体基板の表面から上記サイドウォール状の絶縁膜が突出することがない。したがって、上記素子領域から素子分離領域に亘ってゲート電極等の導電膜が形成されても上記サイドウォール状の絶縁膜の個所で導電膜が盛り上ることがない。さらに、不要部分を除去する際に上記凸部段差に除去不良は発生せず、隣接する導電膜との電気的短絡が防止される。

【0022】また、第2の発明の半導体装置の製造方法は、半導体基板上に第1の絶縁膜を形成する工程と、上記第1の絶縁膜上に素子分離溝形成用のマスクパターン

を形成する工程と、上記マスクパターンをマスクとして上記半導体基板をエッチングして上記半導体基板の表面上に素子分離溝を形成し、島状に複数の素子領域を残す工程と、第2の絶縁膜で上記素子分離溝を埋め込むことによって、上記第2の絶縁膜を素子分離絶縁膜として素子分離領域を形成する工程と、上記第1の絶縁膜およびマスクパターンを除去する工程と、全面に、上記第2の絶縁膜と同じ材質の第3の絶縁膜を堆積する工程と、上記第3の絶縁膜をエッチバック除去することによって、上記第1の絶縁膜およびマスクパターンの除去によって上記第2の絶縁膜に形成された段差の側壁から上記素子領域に亘って、上記第3の絶縁膜をサイドウォール状に残置する工程を備えたことを特徴としている。

【0023】上記構成によれば、素子分離溝を埋め込む第2の絶縁膜に形成された段差の側壁から上記素子領域に亘って、サイドウォール状に上記第2の絶縁膜と同じ材質の第3絶縁膜が形成されている。そのため、後の工程において、湿式酸化膜除去に伴って上記第2の絶縁膜の膜厚が減少する際に素子領域との境界に生ずる段差が、浅く、且つ、外側に膨らんで緩やかに円弧を描く凸部段差となる。したがって、導電性膜を堆積して不要部分を除去する際に上記凸部段差に除去不良は発生せず、配線間における電気的短絡が防止される。

【0024】また、上記第2の発明の半導体装置の製造方法は、上記マスクパターンをシリコン窒化膜で形成することが望ましい。

【0025】上記構成によれば、上記マスクパターンがフォトリソグラフィおよびエッチングによって容易に形成される。

【0026】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。図1及び図2は、本実施の形態の半導体装置の製造方法における各工程での素子断面図である。本実施の形態においてもSTIを用いたMOSトランジスタの形成を例に上げて説明する。

【0027】まず、図1(a)に示すように、単結晶のシリコン基板21の表面に熱酸化によって酸化膜22を形成し、続いて酸化膜22上に例えばLPCVD(減圧化学気相成長)法を用いてシリコン窒化膜23を形成する。次に、シリコン窒化膜23上にレジストパターン24を形成した後、このレジストパターン24をマスクにして、シリコン窒化膜23および酸化膜22に対してエッチングを行う。こうして、図1(b)に示すように、レジストパターン24のパターンをシリコン窒化膜23に転写する。このエッチングとしては例えばRIEを用いる。その後、レジストパターン24は除去する。したがって、以降の工程では、シリコン窒化膜23をマスクとして用いる。

【0028】次に、図1(c)に示すように、上記シリコン窒化膜23をマスクとしてシリコン基板21をエッチ

ングし、浅いトレンチ溝25を形成して島状に複数の素子領域を残す。この場合のエッティングとしては例えばRIEを用いる。次に、熱酸化を行うことによって、トレンチ溝25の側壁および底部に熱酸化膜26を形成する。

【0029】次に、図1(d)に示すように、全面にシリコン酸化膜で成る埋め込み酸化膜27を形成してトレンチ溝25を埋め込む。そうした後、図1(e)に示すように、埋め込み酸化膜27およびシリコン窒化膜23の表面をCMPで平坦化する。その場合における平坦化は、素子領域上におけるシリコン窒化膜23が平坦化によって消失することなく、且つ、シリコン窒化膜23上の素子分離絶縁膜(埋め込み酸化膜27)は消失するように行う。

【0030】次に、図1(f)に示すように、上記シリコン窒化膜23および酸化膜22を除去する。その場合、素子分離領域内に段差28が発生する。ここまででは、図5～図7に示す従来のSTIを用いたMOSトランジスタの形成方法と同じである。

【0031】次に、図2(g)に示すように、シリコン酸化膜29を全面に堆積する。その後に、シリコン酸化膜29を異方性エッティングで除去することによって、図2(h)に示すように、埋め込み酸化膜27の段差28における側壁から素子領域上に掛け、シリコン酸化膜29を選択的にサイドウォール状に残してサイドウォール状酸化膜30を形成するのである。

【0032】その後、MOSトランジスタの形成工程において湿式エッティング等による湿式酸化膜除去が行われて、図3に示すように、埋め込み酸化膜27の膜厚が減少する。その場合に、本実施の形態においては、埋め込み酸化膜27内の段差28にはサイドウォール状酸化膜30が形成されているため、素子領域と素子分離領域との境界に生ずる段差31の深さが低減される。また、段差31の壁面は、外側に膨らんで緩やかな円弧を描くようになる。尚、以下、段差31を凸部段差31と言う。

【0033】したがって、後に、図4に示すように、ゲート電極としての多結晶シリコン32を全面に堆積し、異方性エッティングによって不要な個所の多結晶シリコン32を除去する際に、素子領域と素子分離領域との境界の凸部段差31における堆積膜除去不良の発生を無くすことができるのである。

【0034】これは、図2(h)に示すように、上記埋め込み酸化膜27の段差28における側壁から素子領域上に掛け、サイドウォール状酸化膜30を形成することによって

- (1) 素子分離領域内の埋め込み酸化膜27の段差28の高さが低減される。
- (2) 素子領域と素子分離領域との境界の凸部段差31の深さが浅くなる。
- (3) 素子領域と素子分離領域との境界の凸部段差31

が外側に膨らんで緩やかな円弧状になる。

等の効果が得られるためであり、特に(2)、(3)の効果によって、図4に示すように、多結晶シリコン32をエッティング除去する際に除去不良の発生を防止できるのである。

【0035】このことは、特開平11-87490号公報に開示された半導体装置の製造方法に比較して、素子分離領域の埋め込み酸化膜27の膜厚が後工程の酸化膜除去工程によって減少した際に、埋め込み酸化膜27と同じ材質で形成されたサイドウォール状酸化膜30も減少されるので、後に素子領域にゲート電極等の配線を形成する際に盛り上がりが発生しない点で有利である。

【0036】さらに、本実施の形態によれば、上記素子分離領域における埋め込み酸化膜27のCMPによる平坦化後の高さが変動したとしても、サイドウォール状酸化膜30の横方向(素子領域方向)への広がり量は同一であり、上記素子領域と素子分離領域との境界に生ずる凸部段差31の深さ低減に対しては、高さが変動に拘らず同様に有効である。すなわち、本実施の形態においては、素子領域の密集、孤立によって生ずる平坦化後における埋め込み酸化膜27の高さの変動に拘らず、後工程における多結晶シリコン32等の導電性堆積膜の除去不良を防止できるのである。

【0037】上述のように、本実施の形態においては、シリコン基板21上に素子分離領域の形状にパターニングされた酸化膜22及びシリコン窒化膜23を形成し、シリコン窒化膜23をマスクとしてシリコン基板21にトレンチ溝25を形成する。そして、全面に埋め込み酸化膜(シリコン酸化膜)27を形成してトレンチ溝25を埋め込み、シリコン窒化膜23が露出するように埋め込み酸化膜27およびシリコン窒化膜23を平坦化する。そうした後、シリコン窒化膜23および酸化膜22を除去する。そして、シリコン酸化膜29を全面に堆積して異方性エッティングを行い、素子分離領域内における埋め込み酸化膜27の段差28にサイドウォール状酸化膜30を形成するようにしている。

【0038】したがって、後のMOSトランジスタの形成工程において湿式酸化膜除去が行われて、埋め込み酸化膜27の膜厚が減少する場合に素子領域と素子分離領域との境界に生ずる段差は、浅く、且つ、外側に膨らんで緩やかに円弧を描く凸部段差31となる。そのため、ゲート電極としての多結晶シリコン32を全面に堆積して、不要な多結晶シリコン32を異方性エッティングによって除去する際に、図4に示すように、凸部段差31における除去不良の発生を無くすことができる。すなわち、本実施の形態によれば、ゲート電極を含む配線間ににおける導電膜の除去残留物に起因する電気的短絡を防止することができるのである。

【0039】その場合、上記埋め込み酸化膜27内の段差28に形成されるサイドウォール状膜30はシリコン

酸化膜で形成されている。そのために、上記湿式酸化膜除去に伴って埋め込み酸化膜27の膜厚が減少する際にサイドウォール状膜30も減少することになる。したがって、サイドウォール状膜をシリコン窒化膜で形成する特開平11-87490号公報の場合のように、サイドウォール状シリコン窒化膜がシリコン基板上に突出して、配線としての多結晶シリコンを堆積する際の盛り上がりや膜厚減少に起因する電気抵抗増大等が生ずることはない。

【0040】また、上記特開平9-17852号公報に開示されているような、複雑な工程を要するポリシリコン膜除去残留物の酸化を行う必要は全くなく、コストアップを防止できるのである。

【0041】さらに、本実施の形態によれば、平坦化後における埋め込み酸化膜27の高さの変動に拘らず、サイドウォール状酸化膜30の横方向(素子領域方向)への広がり量を略同一にできる。したがって、素子領域の密集、孤立に拘らず多結晶シリコン32等の導電性堆積膜の除去不良を防止できる。

【0042】尚、上記実施の形態においては、上記半導体基板として単結晶シリコン基板を用い、上記第1の絶縁膜としてシリコン酸化膜を用い、上記マスクパターンとしてシリコン窒化膜を用い、上記第2、第3の絶縁膜としてシリコン酸化膜を用いているが、この発明はこれに限定されるものではない。要は、上記第2の絶縁膜と第3の絶縁膜との材質が同じであり、上記半導体基板、マスクパターンおよび第1、第2、第3の絶縁膜が上述した機能を有して同じ効果を奏するのであれば、他の材料を用いても何ら差し支えないのである。

【0043】

【発明の効果】以上より明らかなように、第1の発明の半導体装置は、半導体基板の表面における素子分離領域に埋め込まれた素子分離絶縁膜を、素子分離溝内に埋め込まれた埋め込み絶縁膜と、この埋め込み絶縁膜に形成された段差の側壁から素子領域に亘ってサイドウォール状に形成された上記埋め込み絶縁膜と同じ材質の絶縁膜とで構成したので、後の工程において、湿式酸化膜除去に伴って上記埋め込み絶縁膜の膜厚が減少する際に素子領域との境界に生ずる段差を、浅く、且つ、外側に膨らんで緩やかに円弧を描く凸部段差にできる。したがって、導電性膜を堆積して不要部分を除去する際に上記凸部段差に発生する除去不良を無くし、配線間における電気的短絡を防止できるのである。

【0044】また、上記第1の発明の半導体装置は、上記埋め込み絶縁膜とサイドウォール状の絶縁膜とは同じ材質で形成されているため、湿式酸化膜除去に伴って上記埋め込み絶縁膜の膜厚が減少する際に上記サイドウォール状の絶縁膜も減少する。そのために、上記半導体基板の表面から上記サイドウォール状の絶縁膜が突出することはない。したがって、上記素子領域上に、上記素子

分離領域に掛けてゲート電極等の導電膜を形成すれば、上記サイドウォール状の絶縁膜の個所で上記導電膜が盛り上ることがない。さらに、上記凸部段差に発生する除去不良に起因する隣接する導電膜との電気的短絡を防止できる。

【0045】また、第2の発明の半導体装置の製造方法は、半導体基板上に第1の絶縁膜を形成し、素子分離溝形成用のマスクパターンを形成し、上記マスクパターンをマスクとして上記半導体基板に素子分離溝を形成し、第2の絶縁膜で上記素子分離溝を埋め込み、上記第1の絶縁膜およびマスクパターンを除去し、全面に上記第2の絶縁膜と同じ材質の第3の絶縁膜を堆積し、上記第3の絶縁膜をエッチバック除去して上記第2の絶縁膜に形成された段差の側壁から素子領域に亘って上記第3の絶縁膜をサイドウォール状に残置するので、上記第2の絶縁膜の段差における側壁から上記素子領域に亘ってサイドウォール状の絶縁膜を形成できる。

【0046】そのため、後に湿式酸化膜除去に伴って上記第2の絶縁膜の膜厚が減少する際に素子領域との境界に生ずる段差を、浅く、且つ、外側に膨らんで緩やかに円弧を描く凸部段差にできる。したがって、導電性膜を堆積して不要部分を除去する際に上記凸部段差に発生する除去不良を無くし、配線間における電気的短絡を防止できるのである。

【0047】また、上記第2の発明の半導体装置の製造方法は、上記マスクパターンをシリコン窒化膜で形成すれば、フォトリソグラフィおよびエッチングによって容易に上記マスクパターンを形成できる。

【図面の簡単な説明】

【図1】 この発明の半導体装置の製造方法における各工程での素子断面図である。

【図2】 図1に続く各工程での素子断面図である。

【図3】 図2(h)に示す埋め込み酸化膜における湿式酸化膜除去に伴う膜厚減少の説明図である。

【図4】 図3の状態で導電膜を形成して異方性エッチングで除去した場合の説明図である。

【図5】 STIを用いた従来のMOSトランジスタ形成プロセスにおける素子断面図である。

【図6】 図5(c)におけるトレンチの側壁断面図である。

【図7】 図5における素子分離領域内に生ずる段差の拡大断面図である。

【図8】 図7に示す埋め込み酸化膜における湿式酸化膜除去に伴う膜厚減少の説明図である。

【図9】 図8の状態で導電膜を形成して異方性エッチングで除去した場合に生ずる残留物の説明図である。

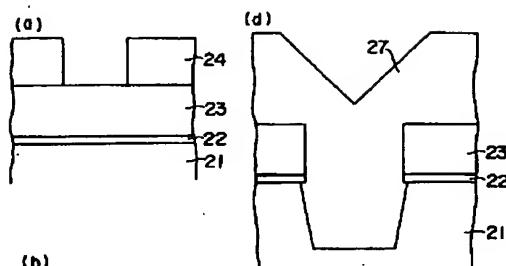
【図10】 図5における素子分離領域の両端部の段差の大きさと素子領域の密集の度合いとの関係の説明図である。

【符号の説明】

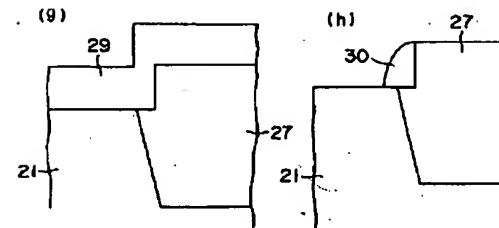
21…シリコン基板、
22…酸化膜、
23…シリコン窒化膜、
24…レジストパターン、
25…トレンチ溝、
26…熱酸化膜、

27…埋め込み酸化膜、
28…段差、
30…サイドウォール状酸化膜、
31…凸部段差、
32…多結晶シリコン。

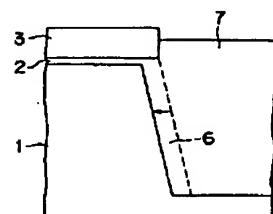
【図1】



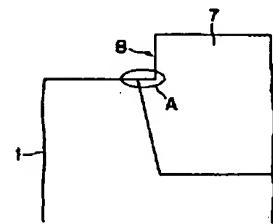
【図2】



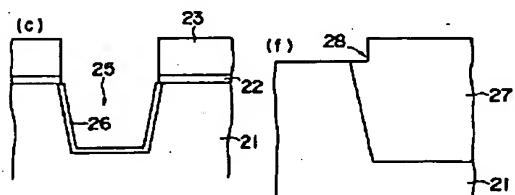
【図6】



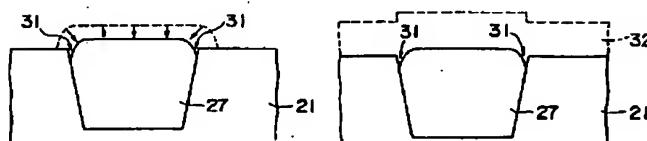
【図7】



【図3】

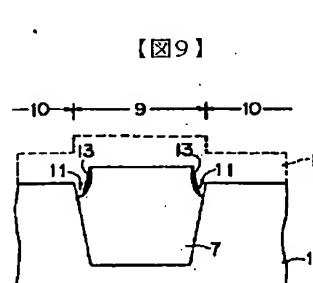


【図4】

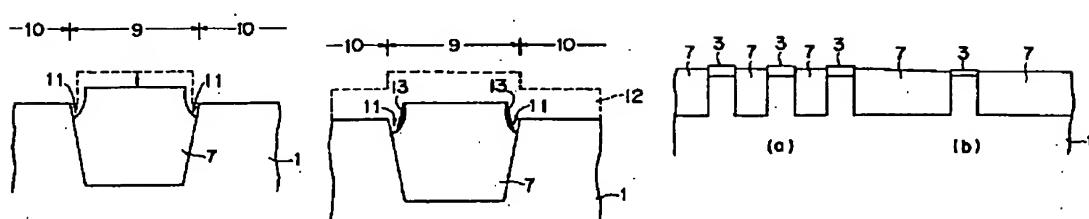


【図8】

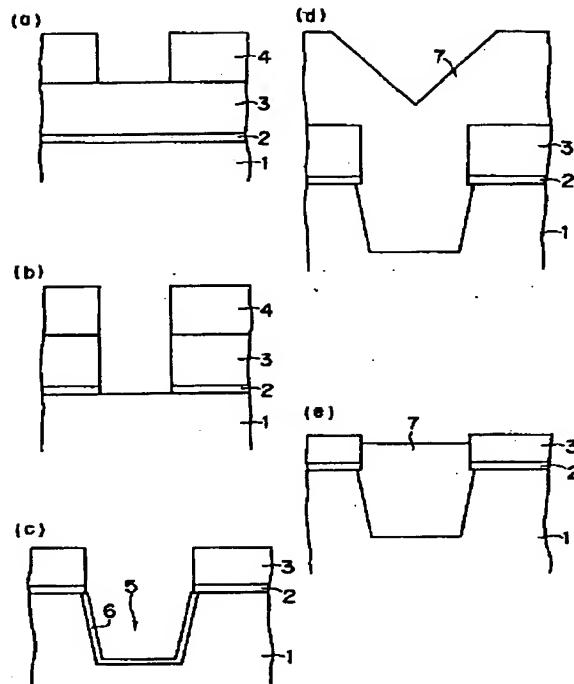
【図9】



【図10】



【図5】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 CC05 DD04 EE01
EE15 GG09 GG14 HH12 HH20
5F032 AA35 AA36 AA44 AA45 AA70
AA77 CA17 DA02 DA24 DA25
DA28 DA30 DA78
5F033 HH04 QQ07 QQ08 QQ09 QQ13
QQ16 QQ28 QQ48 QQ76 RR04
SS13 SS27 TT06 VV06 XX01
XX21 XX31